

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-195702

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H01L 21/76
H01L 27/08

(21)Application number : 09-367521

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.12.1997

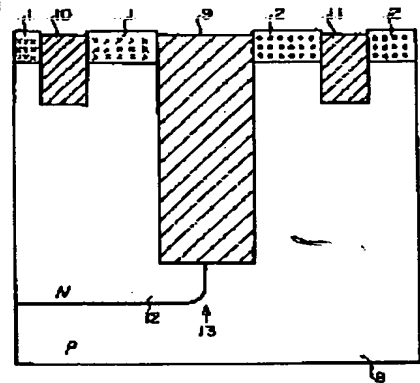
(72)Inventor : INOHARA MASAHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an element isolation structure for reducing the width of an element isolation region for separating a well area, and reducing the junction capacitance of an impurity diffused region.

SOLUTION: An element isolation area (STI) is formed so as to make the depth from a semiconductor substrate surface be different, corresponding to the width of the element isolation area of this semiconductor device. The width of the element isolation region 9 for isolating the well region is reduced and the junction capacitance of the impurity diffusion region is reduced. The semiconductor device is provided with a semiconductor substrate 8, the element isolation region (STI) composed of plural grooves 9, 10 and 11 where insulators are embedded, and a well region (N well) 12. Two or more kinds of the grooves of different depth from the semiconductor substrate surface area present, the width of the deep groove 9 is wider than those of the shallow grooves 10 and 11, and the depths from the semiconductor substrate of the well region 12 is deeper than any of the plural grooves 9-11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195702

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁸

H 0 1 L 21/76
27/08

識別記号

3 3 1

F I

H 0 1 L 21/76
27/08

L

3 3 1 A

審査請求 未請求 請求項の数11 FD (全 11 頁)

(21) 出願番号 特願平9-367521

(22) 出願日 平成9年(1997)12月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 猪原 正弘

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

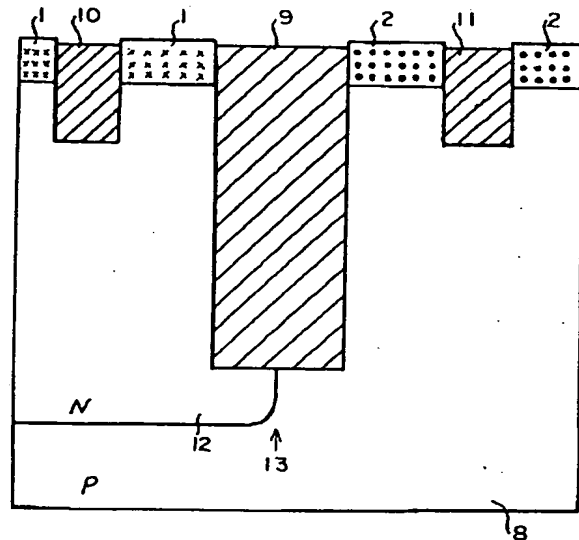
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ウェル領域の分離を行う素子分離領域の幅を縮小し、不純物拡散領域の接合容量を低減した素子分離構造を備えた半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置の素子分離領域の幅に応じて、その半導体基板表面からの深さが異なるように素子分離領域 (S T I) を形成する。ウェル領域の分離を行う素子分離領域9の幅の縮小と不純物拡散領域の接合容量の低減ができる。半導体装置は半導体基板8と、絶縁体が埋め込まれた複数の溝9、10、11からなる素子分離領域 (S T I) と、ウェル領域 (Nウェル) 12とを備え、半導体基板表面からの深さの異なる溝が2種類以上存在し、深い溝9は浅い溝10、11より幅が広く、かつ前記ウェル領域の半導体基板からの深さは前記複数の溝のいずれよりも深い構造になっている。



【特許請求の範囲】

【請求項1】 半導体基板と、
前記半導体基板に形成された複数の素子分離領域と、
前記半導体基板に形成されたウエル領域とを備え、
前記半導体基板表面からの深さが実質的に異なる素子分離領域が2種類以上存在し、深い素子分離領域は浅い素子分離領域より幅が広く、かつ、前記ウエル領域の半導体基板からの深さは、これらの素子分離領域よりも深いことを特徴とする半導体装置。

【請求項2】 前記素子分離領域は、前記半導体基板に形成された溝が絶縁体で埋め込まれてなるものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記深い素子分離領域は、前記ウエル領域の境界に形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 半導体基板と、
前記半導体基板に形成され、前記半導体基板表面からの深さが2種類以上存在する絶縁体が埋め込まれた複数の溝と、
前記半導体基板に形成されたウエル領域とを備え、
前記ウエル領域の前記半導体基板表面からの深さが前記複数の溝のいずれよりも深いことを特徴とする半導体装置。

【請求項5】 前記半導体基板に形成された前記絶縁体が埋め込まれた溝の幅と深さの比率が、前記絶縁体が埋め込まれた溝の深さに依存せず一定であることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記複数の溝の内、前記半導体基板表面からの深さが最も深い溝は、前記ウエル領域の境界に形成されていることを特徴とする請求項4又は請求項5に記載の半導体装置。

【請求項7】 半導体基板上に第1の膜を堆積させる工程と、

前記第1の膜と前記半導体基板に第1のエッチングを施し、前記半導体基板の所定の位置に2種類以上の幅を有し、半導体基板表面からの深さが実質的に等しい複数の溝を形成する工程と、

前記第1のエッチングの後に前記半導体基板及び前記第1の膜上に第2の膜を堆積させる工程と、

前記第2の膜に等方性エッチングを施し、前記複数の溝のうち少なくとも最も幅の狭い溝には前記第2の膜を残す一方、少なくとも最も幅の広い溝では溝中の前記第2の膜を除去する工程と、

前記第1の膜及び少なくとも前記最も幅の狭い溝の中に残存した第2の膜をマスクとして、前記半導体基板に第2のエッチングを施し、少なくとも前記最も幅の狭い溝以外の溝の半導体基板表面からの深さをさらに深くする工程と、

前記第2のエッチングの後少なくとも前記最も幅の広い溝の中に第3の膜を堆積させる工程とを備えたことを特

徴とする半導体装置の製造方法。

【請求項8】 前記第2の膜の膜厚は、前記半導体基板に形成される前記最も幅の狭い溝の幅の1/2倍から2倍であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第1の膜及び前記第2の膜は、前記第2のエッチングに対して前記半導体基板よりもエッチングレートが小さいことを特徴とする請求項7又は請求項8に記載の半導体装置の製造方法。

【請求項10】 前記第3の膜は、絶縁体であることを特徴とする請求項7乃至請求項9のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記第3の膜を堆積させる工程の前に前記第2の膜を除去することを特徴とする請求項7乃至請求項10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の素子分離構造とその製造方法に関するものである。

【0002】

【従来の技術】従来、半導体装置の素子領域間に形成された素子分離領域を絶縁体が充填された溝（以下、STI (Shallow Trench Isolation) という）で構成する場合において、半導体基板に形成された全てのSTIは、同じ深さに形成されている（図23参照）。図23は、従来の素子分離領域が形成されたシリコンなどの半導体基板の断面図である。P型シリコン半導体基板8には、その主面にNウエル7が形成されている。素子分離領域は、Nウエル7の境界領域にSTI3、Nウエル7内にSTI4及び半導体基板8側にSTI5がそれぞれ形成されている。また、Nウエル7にはP型不純物拡散領域1が形成され、半導体基板8側にはN型不純物拡散領域2が形成されている。

【0003】Nウエル7内のSTI4に隣接するP型不純物拡散領域1間のパンチスルー耐圧、半導体基板8側のSTI5に隣接するN型不純物拡散領域2間のパンチスルー耐圧及びウエル境界のSTI3に隣接するP型及びN型不純物拡散領域1、2間のパンチスルー耐圧をすべて同じに設定した場合、各STIの底部付近で必要となる不純物濃度と、STI幅の関係は図24の特性図に示すようになる。図24の縦軸は、パンチスルーを抑えるのに必要なSTI底部付近の不純物濃度を示し、横軸は、STI幅を示している。直線Aは、前記不純物濃度とSTI幅とに依存するウエル境界のSTIに隣接する不純物拡散領域間のパンチスルー耐圧を表わし、直線Bは、前記不純物濃度とSTI幅とに依存する同一ウエル（基板）内のSTIに隣接する不純物拡散領域間のパンチスルー耐圧を表わしている。

【0004】同じSTI幅で比較した場合には、ウエル境界のSTI3の方が同一ウエル（基板）内のSTI

4、5よりも高濃度の不純物を必要とする。ウエル境界のSTI3の幅を同一ウエル(基板)内のSTI4、5幅より広げて、図24中のW_{cr t}にすることにより、同一濃度で同じパンチスルー耐圧を実現することは可能である。W_{cr t}は、同一ウエル(基板)内のSTIでパンチスルーを抑えるのに必要となる不純物濃度と同じ不純物濃度でウエル境界のSTIに隣接する不純物拡散領域間のパンチスルー耐圧を保たせる場合に必要となるウエル境界のSTI幅を表わす。しかし、この場合は、半導体装置の微細化を阻害するという問題が発生する。また、ウエル境界のSTI3の幅が図2中のW_{cr t}よりも狭い場合には、各STI3、4、5の底部付近の濃度が、ウエル境界のSTI3の幅に律側し、同一ウエル(基板)内のSTI4、5において必要とする以上に不純物濃度が高くなる。

【0005】

【発明が解決しようとする課題】以上のように、STI底部の濃度が高くなるとウエル全体の濃度が高くなり、不純物拡散領域とウエル境界のPN接合容量が大きくなり、半導体装置の性能が劣化するという問題が生じる。STI底部に不純物プロファイルのピーク位置がくるようにした場合のようすを図25に示す。図25の縦軸は、半導体基板内の不純物濃度を示し、横軸は、半導体基板表面からの深さを示している。曲線Cは、不純物拡散領域の不純物プロファイル、曲線Dは、ウエル境界のSTIが必要とする不純物プロファイル(STI幅<W_{cr t}の場合)、曲線Eは、ウエル境界のSTIが必要とする不純物プロファイル(STI幅=W_{cr t}の場合)、曲線Fは、同一ウエル(基板)内のSTIが必要とする不純物プロファイルをそれぞれ表わしている。このように、ウエル境界のSTI幅を前記W_{cr t}より小さくしようとすると、このSTI底部の不純物濃度を必要以上に濃くしなければならなくなる。本発明は、このような事情によりなされたものであり、ウエル領域の分離を行う素子分離領域の幅を縮小し、不純物拡散領域の接合容量を低減する素子分離構造を備えた半導体装置及びその製造方法を提供する。

【0006】

【課題を解決するための手段】本発明は、半導体装置の素子分離領域の幅に応じて、その半導体基板表面からの深さが異なるように素子分離領域を形成することを特徴としている。このように構成することにより、ウエル領域の分離を行う素子分離領域の幅の縮小と不純物拡散領域の接合容量の低減を図ることができる。即ち、本発明の半導体装置は、半導体基板と、前記半導体基板に形成された複数の素子分離領域と、前記半導体基板に形成されたウエル領域とを備え、前記半導体基板表面からの深さが実質的に異なる素子分離領域が2種類以上存在し、深い素子分離領域は浅い素子分離領域より幅が広く、かつ、前記ウエル領域の半導体基板からの深さは、これら

の素子分離領域よりも深いことを第1の特徴としている。前記素子分離領域は、前記半導体基板に形成された溝が絶縁体で埋め込まれていても良い。前記深い素子分離領域は、前記ウエル領域の境界に形成されていても良い。また、本発明の半導体装置は、半導体基板と、前記半導体基板に形成され、前記半導体基板表面からの深さが2種類以上存在する絶縁体が埋め込まれた複数の溝と、前記半導体基板に形成されたウエル領域とを備え、前記ウエル領域の前記半導体基板表面からの深さが前記複数の溝のいずれよりも深いことを第2の特徴としている。

【0007】前記半導体基板に形成された前記絶縁体が埋め込まれた溝の幅と深さの比率が、前記絶縁体が埋め込まれた溝の深さに依存せず一定であるようにしても良い。前記複数の溝の内、前記半導体基板表面からの深さが最も深い溝は、前記ウエル領域の境界に形成されているようにしても良い。本発明の半導体装置の製造方法は、半導体基板上に第1の膜を堆積させる工程と、前記第1の膜と前記半導体基板に第1のエッチングを施し、前記半導体基板の所定の位置に2種類以上の幅を有し、半導体基板表面からの深さが実質的に等しい複数の溝を形成する工程と、前記第1のエッチングの後に前記半導体基板及び前記第1の膜上に第2の膜を堆積させる工程と、前記第2の膜に等方性エッチングを施し、前記複数の溝のうち少なくとも最も幅の狭い溝には前記第2の膜を残す一方、少なくとも最も幅の広い溝では溝中の前記第2の膜を除去する工程と、前記第1の膜及び少なくとも前記最も幅の狭い溝の中に残存した第2の膜をマスクとして、前記半導体基板に第2のエッチングを施し、少なくとも前記最も幅の狭い溝以外の溝の半導体基板表面からの深さをさらに深くする工程と、前記第2のエッチングの後少なくとも前記最も幅の広い溝の中に第3の膜を堆積させる工程とを備えたことを特徴としている。前記第2の膜の膜厚は、前記半導体基板に形成される前記最も幅の狭い溝の幅の1/2倍から2倍であるようにしても良い。前記第1の膜及び前記第2の膜は、前記第2のエッチングに対して前記半導体基板よりもエッチングレートを小さくしても良い。前記第3の膜は、絶縁体であっても良い。前記第3の膜を堆積させる工程の前に前記第2の膜を除去するようにしても良い。

【0008】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図3を参照して第1の実施例を説明する。図1は、素子分離領域が形成されたシリコンなどの半導体基板の断面図、図2は、パンチスルー耐圧のSTIの底部付近で必要となる不純物濃度とSTI幅との依存性を示す特性図、図3は、STI底部に不純物プロファイルのピーク位置がくるようにした場合の半導体基板の不純物プロファイル図である。図1において、半導体基板8には、基板表面に接するよう

に、幅が $0.25\mu\text{m}$ 、深さが $0.4\mu\text{m}$ の SiO_2 などの絶縁体が埋め込まれた溝(STI)10、11と、幅が $0.50\mu\text{m}$ で深さが $1.2\mu\text{m}$ の SiO_2 などの絶縁体が埋め込まれた溝(STI)9が形成されている。半導体基板8には、P型不純物拡散領域1とN型不純物拡散領域2が、基板表面からの深さ $0.1\mu\text{m}$ の深さまで形成されている。半導体基板8内の一部には、N型不純物拡散領域(Nウェル)12が、 $0.1\mu\text{m}$ の深さから $2.0\mu\text{m}$ の深さまで形成されている。また、N型不純物拡散領域12の端は必ず絶縁体が埋め込まれた溝(STI)9の下部になるように構成されている。

【0009】絶縁体が埋め込まれた溝(STI)9、10、11は、半導体装置の素子分離領域として機能する。P型不純物拡散領域1とN型不純物拡散領域2は、半導体装置中のMOSトランジスタの拡散領域として機能し、N型不純物拡散領域12は、半導体装置のウェルとして機能する。このように、ウェル境界のSTI9の深さを、同一ウェル内のSTI10、11よりも深くすることにより、従来技術で作成した構造よりも、ウェル境界13とP型不純物拡散領域1間の距離、ウェル境界13とN型不純物拡散領域2間の距離を長くすることができる。従って、下部にウェル境界13を有するSTI9の底部における不純物濃度を、従来技術で作成した構造よりも低くすることができる。この関係を図2に示す。図2の縦軸は、パンチスルーを抑えるのに必要なSTI底部付近の不純物濃度を示し、横軸は、STI幅を示している。直線Aは、従来構造の前記不純物濃度とSTI幅とに依存するウェル境界のSTI(図23のSTI13)に隣接する不純物拡散領域間のパンチスルー耐圧を表し、直線Bは、前記不純物濃度とSTI幅とに依存する同一ウェル(基板)内のSTI(図23のSTI4、5、図1の10、11)に隣接する不純物拡散領域間のパンチスルー耐圧を表し、直線Gは、本発明の前記不純物濃度とSTI幅とに依存するウェル境界のSTI(図1の9)に隣接する不純物拡散領域間のパンチスルー耐圧を表している。STI幅が同じ場合、同じパンチスルー耐圧を実現するウェル境界のSTI底辺付近の不純物濃度は従来のSTI3より本発明のSTI9の方が低くなっている。

【0010】図2に示すように、同じSTI幅の場合、ウェル境界のSTI9の濃度は、同一ウェル(基板)内のSTI10、11の濃度よりも高くなっているが、ウェルの不純物プロファイルに依存してこの関係が逆転しても構わない。ウェル境界のSTI9の深さが従来より深くなったので、図3に示すように、P型不純物拡散領域1及びN型不純物拡散領域2の底部のウェル濃度が低くなり、これら拡散領域のPN接合容量を小さくすることができる。図3の縦軸は、半導体基板内の不純物濃度を示し、横軸は、半導体基板表面からの深さを示している。曲線Cは、不純物拡散領域の不純物プロファイル、

曲線Dは、従来構造のウェル境界のSTI3が必要とする不純物プロファイル(図25のSTI幅 $<W_{crit}$ の場合)、曲線Fは、同一ウェル(基板)内のSTI10、11が必要とする不純物プロファイル、曲線Hは、本発明のウェル境界のSTI9(図3)が必要とする不純物プロファイルをそれぞれ表わしている。以上の結果より、本発明の構造では半導体装置の微細化と高性能化を両立できる。なおこの実施例では、P型の半導体基板に半導体装置を形成する場合について記述されているが、本発明は、N型の半導体基板を利用して半導体装置を形成した場合も同様の効果を得られる。

【0011】以上、実施例に示すようにウェル領域の分離を行う素子分離領域の幅を縮小し、不純物拡散領域の接合容量を低減する素子分離構造を得ることができる。次に、図4を参照して第2の実施例を説明する。図4は、素子分離領域が形成された、例えば、P型シリコン半導体基板の断面図である。半導体基板8には、基板表面に接するように、幅が $0.25\mu\text{m}$ で深さが $0.4\mu\text{m}$ であるNウェル15に形成されたSTI10と、幅と深さがSTI10と同じである半導体基板8側に形成されたSTI11と、幅が $0.50\mu\text{m}$ で深さが $0.8\mu\text{m}$ であるウェル境界に形成されたSTI14が形成されている。この実施例では、STI10、11、14の幅と深さの比率が互いに同一であり、絶縁膜の埋め込み性能を最大限に有効利用することができる。半導体基板8には、P型不純物拡散領域1とN型不純物拡散領域2が、基板表面から深さ $0.1\mu\text{m}$ の深さまで形成されている。P型シリコン基板8内の一部には、N型不純物拡散領域(Nウェル)15が、 $0.1\mu\text{m}$ の深さから $1.5\mu\text{m}$ の深さまで形成されている。これは、第1の実施例と同じ構造、同じ深さである。以上の実施例でも第1の実施例と同様にウェル領域の分離を行う素子分離領域の幅を縮小し、不純物拡散領域の接合容量を低減する素子分離構造を得ることができる。

【0012】次に、図5乃至図11を参照して第3の実施例を説明する。この実施例では、半導体装置の製造方法を説明する。図は、いずれも半導体装置の製造工程断面図である。P型シリコンなどの半導体基板16上にCVD法や熱窒化法を用いてシリコン窒化膜17を $0.1\mu\text{m}$ 程度堆積させる。その後、フォトレジスト(図示せず)を塗布しリソグラフィ工程でパターンニングを行い、その後、パターンニングされたフォトレジストをマスク材にしてシリコン窒化膜17とシリコン基板16をRIE(Reactive Ion Etching)法により $0.40\mu\text{m}$ 程度エッチングを行って、半導体基板16に深さ $0.40\mu\text{m}$ の溝18を形成する。溝18は、幅の狭い溝18aと広い溝18bから構成されている。溝18の最小幅(幅の狭い溝18aの溝幅)を $0.25\mu\text{m}$ とする。その後、エッチングマスクとして用いたフォトレジストをO₂プラズマにより除去する(図5)。

【0013】次いで、半導体基板16及びシリコン窒化膜17上に0.15 μ m厚の第1のシリコン酸化膜19をCVD(Chemical Vapour Deposition)法で堆積させる(図6)。ここで、このような第1のシリコン酸化膜19の膜厚は、幅の狭い溝18aを完全に埋め込んで、次の等方エッチングの際にも幅の狭い溝18a内に第1のシリコン酸化膜を残存させる観点から、幅の狭い溝18aの1/2以上に設定される。一方、第1のシリコン酸化膜19の膜厚の上限については、幅の広い溝18bを考慮した上で、幅の広い溝18bが完全に埋め込まれない範囲に設定されるが、幅の広い溝が余りに広いと半導体装置の微細化が阻害されてしまうので、少なくとも幅の狭い溝18aの幅の2倍を越えても完全には埋め込まれないような溝が形成されることは好ましくない。

【0014】次に、シリコン酸化膜19に対してCDEなどの等方エッチングを行ってシリコン酸化膜19を0.15 μ m程度除去する。溝18の内、幅の狭い溝18aの幅は、ここでは例えば、0.25 μ mであるためシリコン酸化膜19により完全に埋め込まれているが、幅の広い溝18bの幅は0.50 μ mであるためシリコン酸化膜19によって完全に埋め込まれていない。このような形状の違いから、シリコン酸化膜19を約0.15 μ m程度等方エッチングすると幅の狭い溝18aの中にはシリコン酸化膜19が埋め込まれた儘であるが、幅の広い溝18bの中のシリコン酸化膜19はエッチング除去される(図7)。その後、シリコン窒化膜17と溝に埋め込まれたシリコン酸化膜19をマスク材にして半導体基板16をRIE(Reactive Ion Etching)により0.4 μ m程度異方性エッチングして、幅の広い溝18bの基板表面からの深さを0.8 μ mにする(図8)。次に、幅の狭い溝18aに埋め込まれているシリコン酸化膜19をNH₄Fでエッチング除去し、溝幅によって深さの異なる溝18を形成する。この実施例の場合、溝の幅が最小寸法である0.25 μ mである溝の深さが最も浅くなる(図9)。

【0015】次に、半導体基板16上に第2のシリコン酸化膜23をCVD法により0.8 μ m程度堆積させる。このシリコン酸化膜23に対し、シリコン窒化膜17をストッパーとしてCMP(Chemical Mechanical Polishing)法などのポリッシングを施し、シリコン酸化膜23の平坦化を行う。そして、シリコン窒化膜17上のシリコン酸化膜23を除去し、素子分離領域(STI)18a、18b、18cを形成する(図10)。次に、シリコン窒化膜17をCDE法やH₂PO₃でエッチング除去した後、一般的な半導体装置の製造方法を用いて、半導体装置のNウェル24とN型不純物拡散領域25とP型不純物拡散領域26を形成する(図11)。シリコン窒化膜17やシリコン酸化膜19は、半導体基板の異方性エッチングのマスク材となる特性を有する他の材料で置き換えて用いることもできる。本実施例の製造

方法で半導体装置を形成することにより、第1の実施例と同様の効果を有する半導体装置を製造することができる。この実施例では、P型シリコン基板上に半導体装置を形成する場合について述べたが、N型シリコン基板上に本発明の半導体装置を形成した場合にも同様の効果を得られる。

【0016】次に、図12及び図13を参照して第4の実施例を説明する。この実施例では、半導体装置の製造方法を説明する。図12及び図13は、半導体装置の製造工程断面図である。半導体基板16の表面にシリコン窒化膜17を形成してから幅の広い溝18b中のシリコン酸化膜19をエッチング除去し深くするまでの工程は、前記第3の実施例と同じ(図5乃至図8)であるので、この部分の説明を省略する。幅の広い溝18b中のシリコン酸化膜19をエッチング除去し溝の深さを深くする工程の後に幅の狭い溝18aに埋め込まれている第1のシリコン酸化膜19を残存させたまま第2のシリコン酸化膜23をCVD法により0.8 μ m程度堆積し、CMP法などを用いてこのシリコン酸化膜23をポリッシングしてこのシリコン酸化膜23の平坦化を行う。そして、シリコン窒化膜17上のシリコン酸化膜23を除去し、素子分離領域(STI)18a、18b、18cを形成する(図12)。次に、シリコン窒化膜17をCDE法やH₂PO₃などによりエッチング除去した後、一般的な半導体装置の製造方法を用いて、半導体基板16にNウェル24とN型不純物拡散領域25とP型不純物拡散領域26(Nウェル中)とを形成する(図13)。この実施例の製造方法で半導体装置を形成することにより、第1の実施例と同様の効果を有する半導体装置を製造することができる。また、第3の実施例と異なり、マスク材として用いたシリコン酸化膜をそのまま溝に埋め込む絶縁膜として用いるので工程が簡略化される。

【0017】次に、図14を参照して第5の実施例を説明する。この実施例では、半導体装置の製造方法を説明する。図14は、半導体装置の製造工程断面図である。半導体基板16の表面にシリコン窒化膜17を形成してから幅の狭い溝18a中のシリコン酸化膜19をエッチング除去するまでの工程は、前記第3の実施例と同じ(図5乃至図9)であるのでこの部分の説明を省略する。幅の狭い溝18a中のシリコン酸化膜19をエッチング除去したシリコン窒化膜17をCDE法やH₂PO₃でエッチング除去する。その後、半導体基板16上にシリコン酸化膜23をCVD法で0.8 μ m程度堆積させる。そして、CMP法などを用いてシリコン酸化膜23をポリッシングしてこのシリコン酸化膜23を平坦化し、半導体基板16上のシリコン酸化膜23を除去し、溝18a、18bにシリコン酸化膜23を埋め込んで素子分離領域(STI)18a、18b、18cを形成する。その後、一般的な半導体装置の製造方法を用いて、

半導体装置のNウェル24を形成し、N型不純物拡散領域25を基板側に形成し、P型不純物拡散領域26をNウェル24に形成する。この実施例の製造方法で半導体装置を形成することにより、第1の実施例と同様の効果を有する半導体装置を製造することができる。

【0018】次に、図15乃至図19を参照して第6の実施例を説明する。この実施例では3種類の深さの溝を有する半導体装置の製造方法を説明する。図15乃至図19は、半導体装置の製造工程断面図である。P型シリコンなどの半導体基板16上にCVD法や熱窒化法を用いてシリコン窒化膜17を0.1 μ m程度堆積させる。その後、フォトリソist（図示せず）を塗布しリソグラフィ工程でパターンニングを行い、その後、パターンニングされたフォトリソistをマスク材にしてシリコン窒化膜17とシリコン基板16をRIE法により程度エッチングを行って、半導体基板16に溝18を形成する。溝18は、幅の狭い溝18aと広い溝18bと中間幅の溝18cとから構成されている。その後、エッチングマスクとして用いたフォトリソistをO₂プラズマにより除去する（図15（a））。

【0019】その後、半導体基板16及びシリコン窒化膜17上に第1のシリコン酸化膜19をCVD法で堆積させる（図15（b））。次に、シリコン酸化膜19に対してCDEなどの等方エッチングを行ってシリコン酸化膜19をこのシリコン酸化膜19の厚さ程度除去する。溝18の内、幅の狭い溝18aはシリコン酸化膜19により完全に埋め込まれているが、幅の広い溝18b及び中間幅の溝18cは、シリコン酸化膜19によって完全に埋め込まれていない。このような形状の違いから、シリコン酸化膜19を等方エッチングすると幅の狭い溝18aの中にはシリコン酸化膜19が埋め込まれた儘であるが、幅の広い溝18b及び中間幅の溝18cの中のシリコン酸化膜19はエッチング除去される（図16（a））。その後、シリコン窒化膜17と溝に埋め込まれたシリコン酸化膜19をマスク材にして半導体基板16をRIEにより異方性エッチングして、幅の広い溝18b及び中間幅の溝18cの基板表面からの深さを幅の狭い溝18aより深くする（図16（b））。

【0020】さらに、半導体基板16、幅の狭い溝18aに埋め込まれたシリコン酸化膜19及びシリコン窒化膜17の上に第1のシリコン酸化膜より厚い第3のシリコン酸化膜20をCVD法で堆積させる（図17（a））。次に、シリコン酸化膜20に対してCDEなどの等方エッチングを行ってシリコン酸化膜20をこのシリコン酸化膜20の厚さ程度除去する。溝18の内、中間幅の溝18cはシリコン酸化膜20により完全に埋め込まれているが、幅の広い溝18bは、シリコン酸化膜20によって完全に埋め込まれていない。このような形状の違いから、シリコン酸化膜20を等方エッチングすると中間幅の溝18cの中にはシリコン酸化膜20が

埋め込まれた儘であるが、幅の広い溝18bの中のシリコン酸化膜20はエッチング除去される（図17（b））。

その後、シリコン窒化膜17と溝18a、18cに埋め込まれたシリコン酸化膜19、20をマスク材にして半導体基板16をRIEにより異方性エッチングして、幅の広い溝18bの基板表面からの深さをさらに深くする（図18（a））。次に、幅の狭い溝18a及び中間幅の溝18cに埋め込まれているシリコン酸化膜19、20をNH₄Fでエッチング除去し、溝幅によって深さの異なる溝18を形成する（図18（b））。

【0021】次に、半導体基板16上に第4のシリコン酸化膜21をCVD法により0.8 μ m程度堆積させる。このシリコン酸化膜21に対し、シリコン窒化膜17をストッパーとしてCMP法などのポリッシングを施し、シリコン酸化膜21の平坦化と、シリコン窒化膜17上のシリコン酸化膜23の除去を行い、素子分離領域（STI）18a、18b、18cを形成する（図19（a））。次に、シリコン窒化膜17をCDE法やH₂PO₄でエッチング除去した後、一般的な半導体装置の製造方法を用いて、半導体装置のNウェル24とN型不純物拡散領域25とP型不純物拡散領域26を形成する（図19（b））。シリコン窒化膜17やシリコン酸化膜19、20は、半導体基板の異方性エッチングのマスク材となる特性を有する他の材料で置き換えて用いることもできる。また、本実施例の製造方法で半導体装置を形成することにより、第1の実施例と同様の効果を有する半導体装置を製造することができる。この実施例では、P型シリコン基板上に半導体装置を形成する場合について述べたが、N型シリコン基板上に本発明の半導体装置を形成した場合にも同様の効果を得られる。

【0022】次に、図20及び図21を参照して第7の実施例を説明する。この実施例ではMOSTランジスタを素子領域に形成した半導体装置を説明する。ここでは図1に示した半導体基板にランジスタを搭載する。図20は、半導体装置の断面図、図21は、半導体装置の平面図である。図20は、図21のA-A'線に沿う部分の断面図である。図において、半導体基板8には、基板表面に接するように幅が0.25 μ m、深さが0.4 μ mのシリコン酸化膜などの絶縁体が埋め込まれた溝（STI）10、11と、幅が0.50 μ mで深さが0.8 μ mのシリコン酸化膜などの絶縁体が埋め込まれた溝（STI）9が形成されている。半導体基板8には、P型不純物拡散領域29とN型不純物拡散領域30が、基板表面からの深さ0.1 μ mの深さまで形成されている。半導体基板8内の一部には、Nウェル12が、0.1 μ mの深さから2.0 μ mの深さまで形成されている。また、Nウェル12の端は必ず絶縁体が埋め込まれた溝（STI）9の下部になるように構成されている。

【0023】絶縁体が埋め込まれた溝（STI）9、1

0、11は、半導体装置の素子分離領域として機能する。Nウェル12にはPチャネルMOSトランジスタTr1が形成され、基板側にはNチャネルMOSトランジスタTr2が形成されている。P型不純物拡散領域29とN型不純物拡散領域30は、半導体装置中のMOSトランジスタのソース/ドレイン領域として機能する。すなわち、PチャネルMOSトランジスタTr1は、ソース/ドレイン領域29、ゲート酸化膜27及びポリシリコンなどのゲート電極28を備えている。また、NチャネルMOSトランジスタTr2は、ソース/ドレイン領域30、ゲート酸化膜27及びポリシリコンなどのゲート電極28を備えている。このように、ウェル境界のSTI9の深さを、同一ウェル（基板）内のSTI10、11よりも深くすることにより、従来構造よりも、ウェル境界13とP型不純物拡散領域29間の距離、ウェル境界13とN型不純物拡散領域30間の距離を長くすることができる。従って、下部にウェル境界13を有するSTI9の底部における不純物濃度を、従来構造よりも低くすることができる。

【0024】次に、図22を参照して第8の実施例を説明する。この実施例ではバイポーラトランジスタを素子領域に形成した半導体装置を説明する。ここでは図1に示した半導体基板を基礎にしてトランジスタが形成されている。図22は、半導体装置の断面図である。図において、半導体基板8には、基板表面に接するように幅が0.25 μ m、深さが0.4 μ mのシリコン酸化膜などの絶縁体が埋め込まれた溝（STI）10と、幅が0.50 μ mで深さが0.8 μ mのシリコン酸化膜などの絶縁体が埋め込まれた溝（STI）9が形成されている。半導体基板8にはP型不純物拡散領域31とN型不純物拡散領域32が形成されている。また、半導体基板8内の一部にはNウェル12が形成されている。また、Nウェル12の端は必ず絶縁体が埋め込まれた溝（STI）9の下部になるように構成されている。絶縁体が埋め込まれた溝（STI）9、10は、半導体装置の素子分離領域として機能する。バイポーラトランジスタは、Nウェル12に形成されている。P型不純物拡散領域31とN型不純物拡散領域32は、半導体装置中のバイポーラトランジスタのベース領域及びエミッタ領域として機能する。すなわち、バイポーラトランジスタは、ベース領域31、エミッタ領域32、ベース電極B、エミッタ電極E、コレクタ電極Cを備えている。このように、ウェル境界のSTI9の深さを、同一ウェル内のSTI10よりも深くすることにより、従来構造よりも、ウェル境界とP型不純物拡散領域間の距離を長くすることができる。従って、下部にウェル境界を有するSTI9の底部における不純物濃度を、従来構造よりも低くすることができる。

【0025】

【発明の効果】本発明は、以上の構成により、ウェル分

離を行う素子分離の幅の縮小と拡散層接合容量の低減を両立できる。また、素子分離溝の幅と深さの関係が一定の場合、素子分離領域に埋め込む材料の埋め込み性能を最大限に利用できる。

【図面の簡単な説明】

【図1】本発明の半導体装置における半導体基板の断面図。

【図2】本発明におけるパンチスルー耐圧のSTI底部付近の不純物濃度及びSTI幅の依存性を示す特性図。

【図3】本発明における半導体基板の不純物プロファイルを示す特性図。

【図4】本発明の半導体装置における半導体基板の断面図。

【図5】本発明の半導体装置の製造工程断面図。

【図6】本発明の半導体装置の製造工程断面図。

【図7】本発明の半導体装置の製造工程断面図。

【図8】本発明の半導体装置の製造工程断面図。

【図9】本発明の半導体装置の製造工程断面図。

【図10】本発明の半導体装置の製造工程断面図。

【図11】本発明の半導体装置の製造工程断面図。

【図12】本発明の半導体装置の製造工程断面図。

【図13】本発明の半導体装置の製造工程断面図。

【図14】本発明の半導体装置の製造工程断面図。

【図15】本発明の半導体装置の製造工程断面図。

【図16】本発明の半導体装置の製造工程断面図。

【図17】本発明の半導体装置の製造工程断面図。

【図18】本発明の半導体装置の製造工程断面図。

【図19】本発明の半導体装置の製造工程断面図。

【図20】本発明の半導体装置の断面図。

【図21】本発明の半導体装置の平面図。

【図22】本発明の半導体装置の断面図。

【図23】従来の半導体装置の断面図。

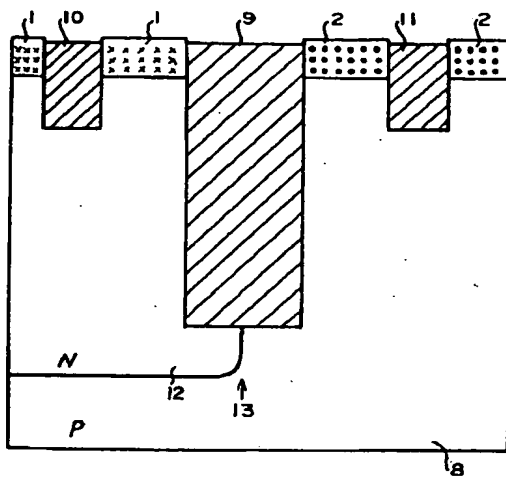
【図24】従来の半導体装置におけるパンチスルー耐圧のSTI底部付近の不純物濃度及びSTI幅の依存性を示す特性図。

【図25】従来の半導体基板の不純物プロファイルを示す特性図。

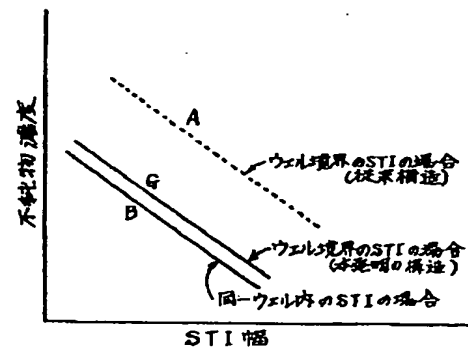
【符号の説明】

1、26・・・P型不純物拡散領域、2、25・・・N型不純物拡散領域、3、4、5、9、10、11、18、・・・素子分離領域用溝（STI）、7、12、15、24・・・Nウェル、8、16・・・半導体基板、13・・・ウェル境界、17・・・シリコン窒化膜、19、20、21、23、・・・シリコン酸化膜、27・・・ゲート酸化膜、28・・・ゲート電極、29・・・P型ソース/ドレイン領域、30・・・N型ソース/ドレイン領域、31・・・P型不純物拡散領域（ベース領域）、32・・・N型不純物拡散領域（エミッタ領域）。

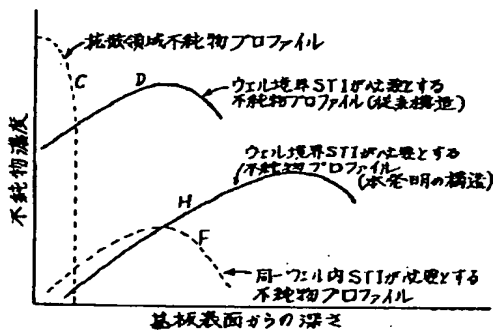
【図1】



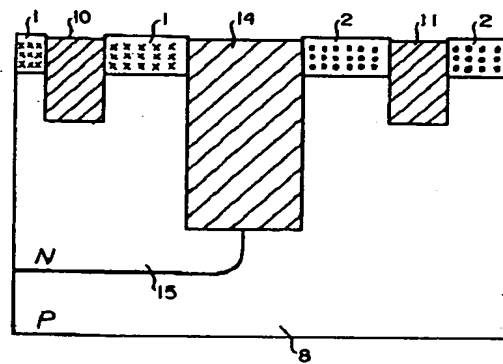
【図2】



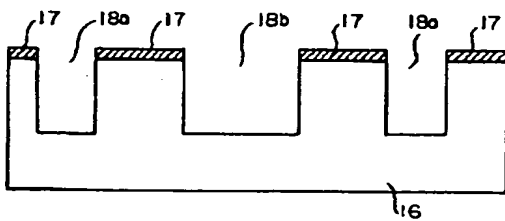
【図3】



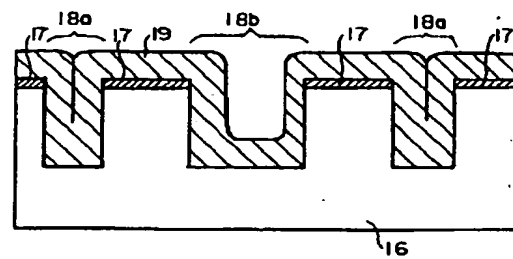
【図4】



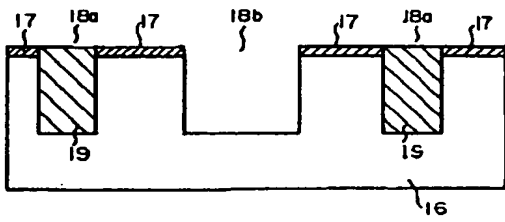
【図5】



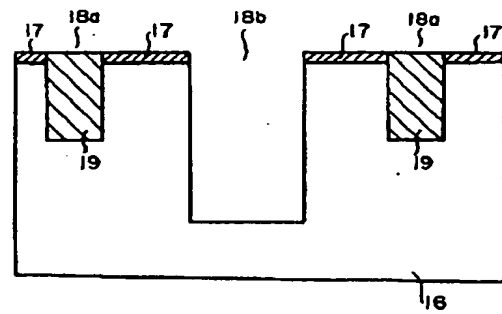
【図6】



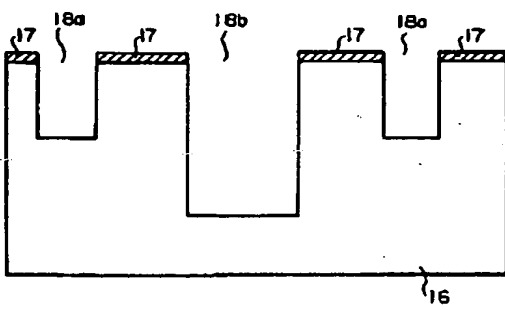
【図7】



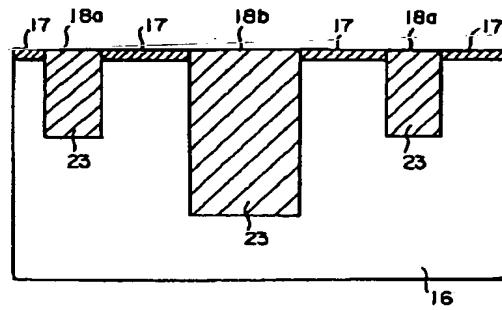
【図8】



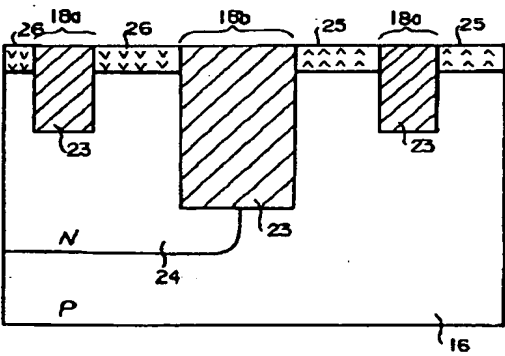
【図9】



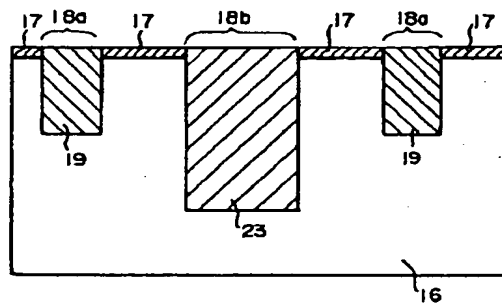
【図10】



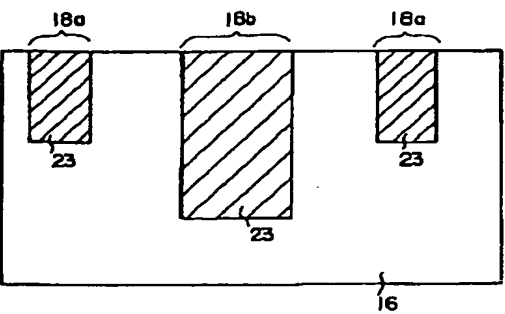
【図11】



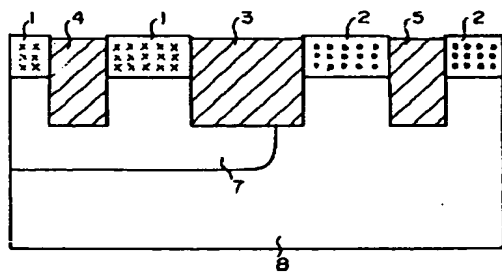
【図12】



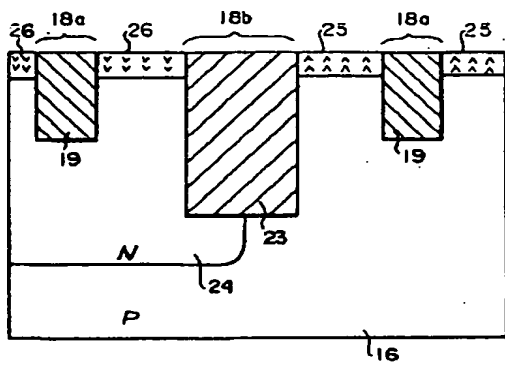
【図14】



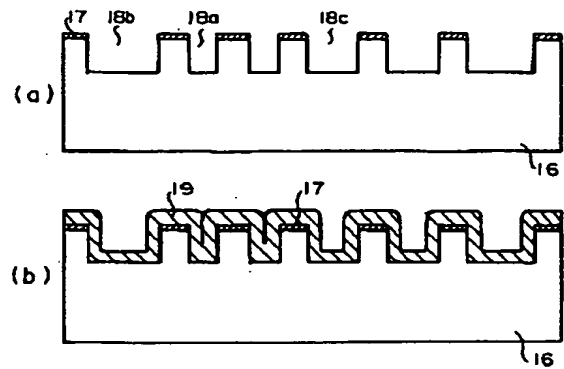
【図23】



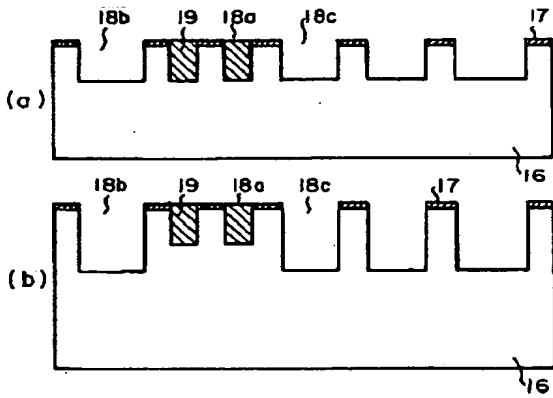
【図13】



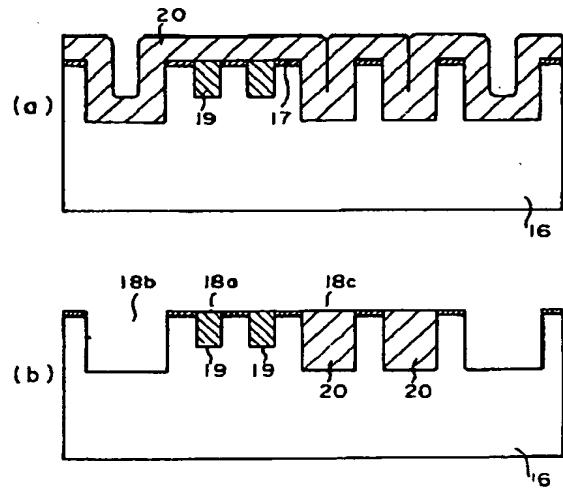
【図15】



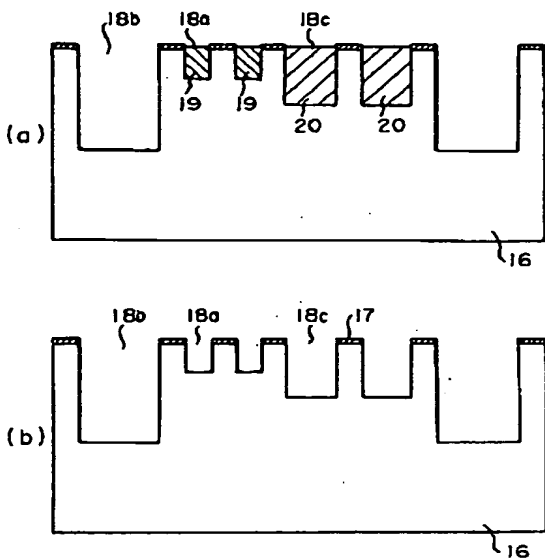
【図16】



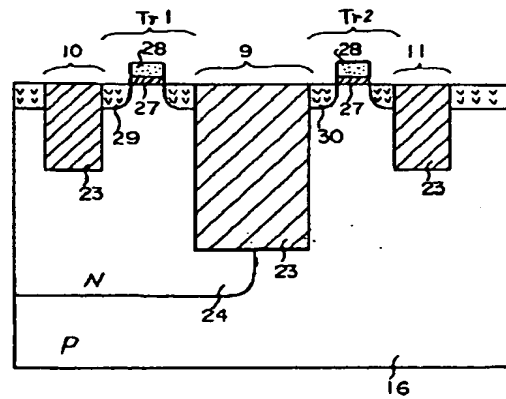
【図17】



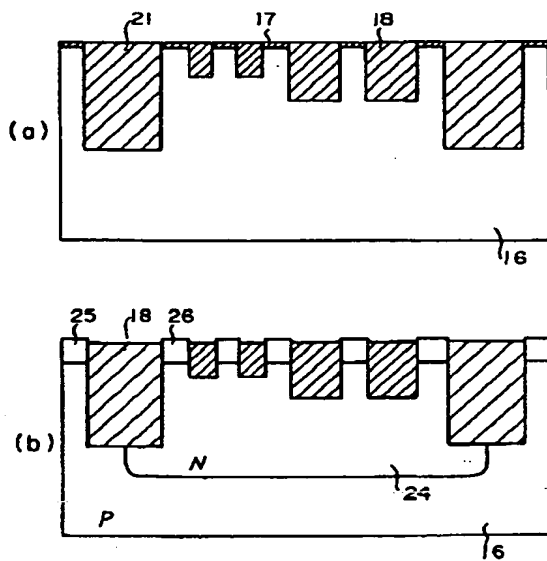
【図18】



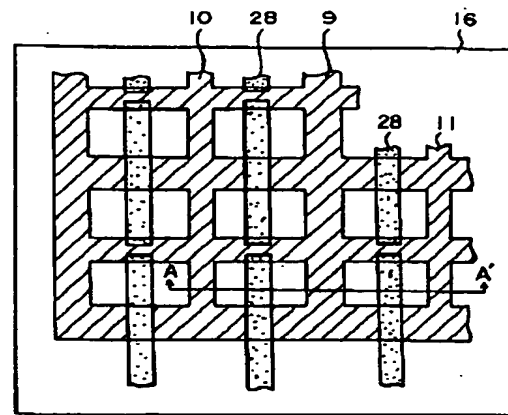
【図20】



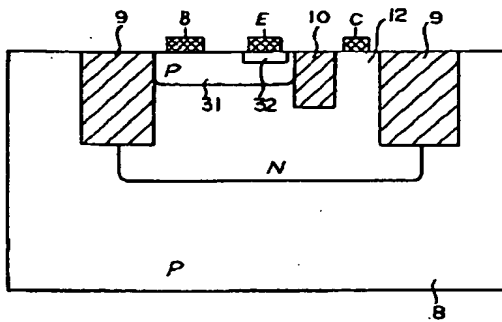
【図19】



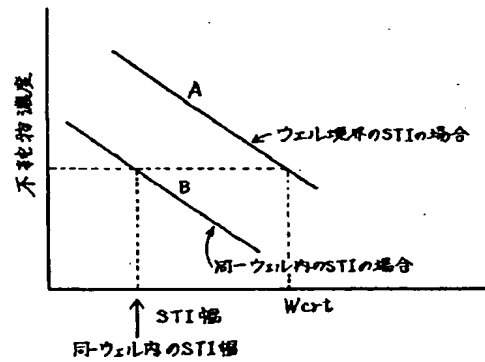
【図21】



【図22】



【図24】



【図25】

